

AUTOREFERAT

1. Imię i Nazwisko:

Konrad Jędrzejewski

2. Posiadane dyplomy, stopnie naukowe – z podaniem nazwy, miejsca i roku ich uzyskania oraz tytuł rozprawy doktorskiej

06.1995	Magister inżynier (z wyróżnieniem) w zakresie Elektroniki i Telekomunikacji, Politechnika Warszawska, Wydział Elektroniki i Technik Informacyjnych.
06.1998	Magister (z wyróżnieniem) w zakresie Ekonomii, Uniwersytet Warszawski, Wydział Nauk Ekonomicznych.
06.2000	Doktor nauk technicznych (z wyróżnieniem) w zakresie Elektroniki, nadany uchwałą Rady Wydziału Elektroniki i Technik Informacyjnych Politechniki Warszawskiej. Tytuł rozprawy doktorskiej: <i>Przetwarzanie sygnałów niestacjonarnych z wykorzystaniem koncepcji adaptacyjnej dopasowanej obserwacji.</i> Promotor: prof. dr hab. inż. Jerzy Szabatin.

3. Informacja o dotychczasowym zatrudnieniu w jednostkach naukowych

10.1995 – 06.2000	Doktorant w Instytucie Systemów Elektronicznych na Wydziale Elektroniki i Technik Informacyjnych Politechniki Warszawskiej.
10.2000 – obecnie	Adiunkt w Instytucie Systemów Elektronicznych na Wydziale Elektroniki i Technik Informacyjnych Politechniki Warszawskiej.

4. Wskazanie osiągnięcia wynikającego z art. 16 ust. 2 ustawy z dnia 14 marca 2003 r. o stopniach naukowych i tytule naukowym oraz o stopniach i tytule w zakresie sztuki (Dz. U. nr 65, poz. 595 ze zm.):

a) Tytuł osiągnięcia naukowego

Jako „osiągnięcie naukowe, uzyskane po otrzymaniu stopnia doktora, stanowiące znaczny wkład autora w rozwój określonej dyscypliny naukowej” wskazuję jednotematyczny cykl publikacji pod zbiorczym tytułem *Metody optymalizacji iteracyjnych przetworników analogowo-cyfrowych z wykorzystaniem nowych adaptacyjnych algorytmów konwersji*.

b) Wykaz publikacji

Poniżej przedstawiono jednotematyczny cykl publikacji w podziale na artykuły opublikowane w czasopiśmie i referaty opublikowane w materiałach międzynarodowych konferencji naukowych. Oprócz cyklu publikacji wymieniono również uzyskane patenty oraz dokumentacje projektów naukowo-badawczych związanych z tematyką jednotematycznego cyklu publikacji. Dla publikacji w czasopiśmie znajdujących się w bazie Journal Citation Reports (JCR) podano „impact factor” (IF) dla roku publikacji lub dla roku 2012, w przypadku gdy wskaźnik IF dla danego roku nie był publikowany. Podano również liczbę punktów (PM) za publikacje w danym czasopiśmie zgodnie z wykazem czasopiśm naukowych opublikowanym przez Ministerstwo Nauki i Szkolnictwa Wyższego w roku 2013.

W Załączniku 4a *Wykaz opublikowanych prac naukowych lub twórczych prac zawodowych oraz informacja o osiągnięciach dydaktycznych, współpracy naukowej i popularyzacji nauki* przedstawiono szczegółowe informacje dotyczące wkładu habilitanta w powstanie poszczególnych publikacji, a także zestawienie procentowego udziału współautorów w ich powstanie. W Załączniku 3 *Oświadczenia współautorów publikacji* przedstawiono oświadczenia współautorów opisujące ich wkład w poszczególnych publikacjach.

Publikacje naukowe w czasopiśmie znajdujących się w bazie Journal Citation Reports (JCR)

[1] A.A. Platonov, **K. Jędrzejewski**, J. Jasnos, “Design and Analysis of Algorithmic Multi-pass A/D Converters with Theoretically Highest Resolution and Rate of Conversion”, *Measurement*, vol. 35, No. 3, 2004, pp. 277-287.

IF(2004) = 0,451, PM = 30.

[2] **K. Jędrzejewski**, A.A. Platonov, “Analysis of Influence of Internal Converters Nonlinearity on Intelligent Cyclic ADC Performance”, *Metrology and Measurement Systems*, vol. XII, No. 4, 2005, pp. 343-353.

IF(2012) = 0,982, PM = 20.

- [3] A.A. Platonov, **K. Jędrzejewski**, Ł.M. Małkiewicz, J. Jasnos, "Principles of Optimisation, Modelling and Testing of Intelligent Cyclic A/D Converters", *Measurement*, vol. 39, No. 3, 2006, pp. 213-231.
IF(2006) = 0,525, PM = 30.
- [4] **K. Jędrzejewski**, A.A. Platonov, "Application of Digital Dither to Reduction of Feedback D/A Converters Influence on Intelligent Cyclic A/D Converters Performance", *Metrology and Measurement Systems*, vol. XIII, No. 4, 2006, pp. 357-372.
IF(2012) = 0,982, PM = 20.
- [5] A.A. Platonov, Ł. Małkiewicz, **K. Jędrzejewski**, "Formal Definition and Properties of FEB-based ENOB of Intelligent Cyclic ADC", *Metrology and Measurement Systems*, vol. XV, No. 3, 2008, pp. 267-280.
IF(2012) = 0,982, PM = 20.
- [6] **K. Jędrzejewski**, A.A. Platonov, "Principles of New Method of Optimisation, Design and Modelling of Pipeline A/D Converters", *Measurement*, vol. 42, No. 8. 2009, pp. 1195-1202.
IF(2009) = 0,761, PM = 30.
- [7] **K. Jędrzejewski**, "Elimination of Drift-Like Errors in Intelligent Cyclic A/D Converters", *Measurement*, vol. 45, No. 2, 2012, pp. 170-174.
IF(2012) = 1,130, PM = 30.

Monografie, publikacje naukowe w czasopismach międzynarodowych lub krajowych innych niż znajdujące się w bazie JCR

- [8] A.A. Platonov, **K. Jędrzejewski**, Ł. Małkiewicz, J. Jasnos, "New Class of High-efficient Intelligent Cyclic ADCs. Backgrounds, Methods of Design and Testing", *Proceedings of SPIE*, vol. 6347, 2006, pp. 63472L-1 - 63472L-8.
- [9] **K. Jędrzejewski**, „Analizyczne projektowanie i analiza charakterystyk nowej klasy potokowych przetworników A/C”, *Elektronika - konstrukcje, technologie, zastosowania*, vol. 50, nr 8/2009, s. 65-70.
PM = 5.
- [10] A.A. Platonov, Z. Jaworski, **K. Jędrzejewski**, Ł.M. Małkiewicz, J. Jasnos, „Projektowanie i analiza laboratoryjnego prototypu cyklicznego przetwornika A/C wykorzystującego nową zasadę konwersji”, *Elektronika - konstrukcje, technologie, zastosowania*, vol. 50, nr 8/2009, s. 71-75.
PM = 5.
- [11] **K. Jędrzejewski**, A.A. Platonov, „Eliminacja zakłóceń harmoniczných w inteligentnych cykliczných przetwornikach A/C”, *Elektronika - konstrukcje, technologie, zastosowania*, vol. 51, nr 12/2010, s. 29-32.
PM = 5.

- [12] **K. Jędrzejewski**, “Application of Multidimensional Estimation Algorithms in Cyclic A/D Converters”, *Proceedings of SPIE*, vol. 8008, 2011, pp. 80080G-1 - 80080G-9.
- [13] **K. Jędrzejewski**, “A New Approach to Improvement of Pipeline A/D Converters Characteristics”, *Proceedings of SPIE*, vol. 8454, 2012, pp. 84541I-1 - 84541I-8.
- [14] **K. Jędrzejewski**, J. Jasnos, „High Resolution Intelligent Cyclic A/D Converters with Low Resolution Internal Feedback D/A Converters”, *Elektronika - konstrukcje, technologie, zastosowania*, vol. 54, nr 2/2013, s. 47-51.
PM = 5.
- [15] **K. Jędrzejewski**, “Consideration of Components Imperfections in New Digitally Assisted Sub-ranging A/D Converters”, *Proceedings of SPIE*, vol. 8903, 2013, pp. 89032O-1 - 89032O-9.

Referaty opublikowane w materiałach międzynarodowych konferencji naukowych

- [16] **K. Jędrzejewski**, A.A. Platonov, “A New Approach to Optimization of Adaptive ADC with Multi-pass Residual Compensation”, *Proceedings of Polish-Czech-Hungarian Workshop on Circuits Theory, Signal Processing and Telecommunication Networks*, Budapest, Hungary, 2001, pp. 11-18.
- [17] A.A. Platonov, **K. Jędrzejewski**, J. Jasnos, “Mathematical and Computer Models in Multi-pass ADC Design and Optimization”, *Proceedings of 4th International Conference on Advanced A/D and D/A Conversion Techniques and Their Application & 7th European Workshop on ADC Modelling and Testing, ADDA-EWADC 2002*, Prague, Czech Republic, 2002, pp. 247-250.
- [18] A.A. Platonov, **K. Jędrzejewski**, “Improvement of Cyclic A/D Converters Performance under Greater Number of Conversion Cycles”, *Proceedings of 16th European Conference on Circuits Theory and Design, ECCTD'03*, Kraków, Poland, 2003, vol. III, pp. 193-196.
- [19] **K. Jędrzejewski**, “Analysis of Adaptive Cyclic ADCs Performance under Nonidealities of Their Internal ADCs”, *Proceedings of International Conference on Signals and Electronic Systems ICSES'04*, Poznań, Poland, 2004, pp. 217-220.
- [20] A.A. Platonov, Ł.M. Małkiewicz, **K. Jędrzejewski**, “General Approach to Simulation Analysis of Sub-optimal Cyclic A/D Converters Functioning and Design”, *Proceedings of Polish-Czech-Hungarian Workshop on Circuit Theory, Signal Processing and Telecommunication Networks*, Budapest, Hungary, 2004, pp. 150-161.
- [21] J. Jasnos, **K. Jędrzejewski**, A.A. Platonov, “Design and Analysis of the Laboratory Prototype of Sub-optimal Adaptive CADC”, *Proceedings of Polish-Czech-Hungarian Workshop on Circuit Theory, Signal Processing and Telecommunication Networks*, Budapest, Hungary, 2004, pp. 162-171.
- [22] A.A. Platonov, Ł.M. Małkiewicz, **K. Jędrzejewski**, “Adaptive CADC Optimisation, Modelling and Testing”, *Proceedings of 13th International Symposium*

on Measurements for Research and Industry Applications and 9th Workshop on ADC Modelling and Testing, Athens, Greece, 2004, vol. 2, pp. 818-823.

- [23] **K. Jędrzejewski**, A.A. Platonov, “Modelling and Analysis of Influence of Internal Converters Nonlinearity in Adaptive Cyclic A/D Converters”, *Proceedings of 14th IMEKO Symposium on New Technologies in Measurement and Instrumentation and 10th Workshop on ADC Modelling and Testing*, Gdynia-Jurata, Poland, 2005, vol. II, pp. 611-616.
- [24] **K. Jędrzejewski**, A.A. Platonov, “Reduction of Influence of Finite Resolution of Feedback DAC on Intelligent Cyclic ADC Performance Using Digital Dither”, *Proceedings of International Conference on Signals and Electronic Systems ICSES'06*, Łódź, Poland, 2006, pp. 319-322.
- [25] **K. Jędrzejewski**, A.A. Platonov, “A New Approach to Design and Optimisation of Pipeline A/D Converters”, *Proceedings of Instrumentation and Measurement Technology Conference IEEE IMTC 2007*, Warsaw, Poland, 2007, pp. 1-6 (*IEEE Xplore*, DOI: 10.1109/IMTC.2007.379232).
- [26] A.A. Platonov, J. Jasnos, **K. Jędrzejewski**, Ł. Małkiewicz, Z. Jaworski, E. Piwowarska, P. Studziński, “Particularities of Cyclic Intelligent ADC Design, Implementation and Adjusting”, *Proceedings of International Conference on Signals and Electronic Systems ICSES'08*, Kraków, Poland, 2008, pp. 43-46.
- [27] **K. Jędrzejewski**, “Modelling and Simulation Analysis of Intelligent Pipeline A/D Converters”, *Proceedings of 16th IMEKO TC-4 International Symposium “Exploring New Frontiers of Instrumentation and Methods for Electrical and Electronic Measurements” and 13th Workshop on ADC Modelling and Testing*, Florence, Italy, 2008, pp. 1097-1102.
- [28] A.A. Platonov, Ł. Małkiewicz, **K. Jędrzejewski**, “FEB-Based Approach to the Measurement of Effective Resolution of Cyclic ADC”, *Proceedings of 16th IMEKO TC-4 International Symposium “Exploring New Frontiers of Instrumentation and Methods for Electrical and Electronic Measurements” and 13th Workshop on ADC Modelling and Testing*, Florence, Italy, 2008, pp. 1085-1090.
- [29] **K. Jędrzejewski**, “Drift-like Errors Compensation in Intelligent Cyclic A/D Converters”, *Proceedings of 17th IMEKO TC-4 Symposium - Measurement of Electrical Quantities, 3rd IMEKO TC-19 Symposium - Environmental Measurements, and 15th International Workshop on ADC Modelling and Testing*, Kosice, Slovakia, 2010, pp. 386-391.
- [30] **K. Jędrzejewski**, A.A. Platonov, “A New Approach to Cancellation of Harmonic Interferences in Intelligent Cyclic A/D Converters”, *Proceedings of International Conference on Signals and Electronic Systems ICSES'10*, Gliwice, Poland, 2010, pp. 41-44.
- [31] **K. Jędrzejewski**, J. Jasnos, “Simplification of Intelligent Cyclic A/D Converters Architecture Using Feedback DAC with Minimal Resolution”, *Proceedings*

of International Conference on Signals and Electronic Systems ICSES 2012, Wrocław, Poland, 2012, pp. 1-5 (*IEEE Xplore*, DOI: 10.1109/ICSES.2012.6382241).

- [32] **K. Jędrzejewski**, “New Effective Architectures and Conversion Algorithms for Adaptive Sub-ranging A/D Converters”, *Proceedings of 19th IMEKO TC-4 Symposium and 17th IWADC Workshop “Advances in Instrumentation and Sensors Interoperability”*, Barcelona, Spain, 2013, pp. 313-318.
- [33] **K. Jędrzejewski**, “The Matlab Toolbox for Simulation Analysis and Design Support of New Adaptive Sub-ranging A/D Converters”, *Proceedings of 19th IMEKO TC-4 Symposium and 17th IWADC Workshop “Advances in Instrumentation and Sensors Interoperability”*, Barcelona, Spain, 2013, pp. 605-610.

Udzielone patenty krajowe

- [34] A.A. Płatonow, **K. Jędrzejewski**, „Wieloprzebiegowy przetwornik analogowo-cyfrowy”, patent nr 193361, Urząd Patentowy Rzeczypospolitej Polskiej, Warszawa, 2007.
- [35] A.A. Płatonow, **K. Jędrzejewski**, „Potokowy przetwornik analogowo-cyfrowy”, patent nr 213117, Urząd Patentowy Rzeczypospolitej Polskiej, Warszawa, 2013.

Dodatkowa dokumentacja prac badawczych dotyczących iteracyjnych przetworników A/C

- [36] A.A. Płatonow, **K. Jędrzejewski**, J. Jasnos, Ł. Małkiewicz, Z. Jaworski, P. Studziński, „Załącznik (merytoryczny) do sprawozdania z projektu badawczego MNiSW nr 3T11B 05929 pt. *Opracowanie teorii, metod projektowania, analizy i testowania inteligentnych przetworników A/C*”, Warszawa, 2008.
- [37] **K. Jędrzejewski**, „IP_ADC TOOLBOX Pakiet specjalizowanych programów do analizy pracy inteligentnego kaskadowego (potokowego) przetwornika A/C”, Załącznik nr 2 do sprawozdania z wyników realizacji grantu dziekańskiego integracyjnego pt. *Opracowanie i analiza komputerowa szczegółowego modelu szybkiego inteligentnego kaskadowego przetwornika A/C i jego podstawowych komponentów*, Warszawa, 2009.

c) **Omówienie celu naukowego ww. prac i osiągniętych wyników wraz z omówieniem ich ewentualnego wykorzystania**

Wstęp

Głównym celem naukowym wyżej wymienionego cyklu publikacji było opracowanie nowych klas iteracyjnych (cyklicznych i potokowych) przetworników analogowo-cyfrowych (A/C) wraz z metodami optymalizacji algorytmów przetwarzania sygnałów. Zastosowanie tych metod w proponowanych przetwornikach pozwala na uzyskanie lepszych parametrów w stosunku do parametrów klasycznych iteracyjnych przetworników A/C. Wynikiem przeprowadzonych badań jest zbiór oryginalnych rozwiązań dotyczących nowych sposobów konwersji analogowo-cyfrowej, architektur przetworników oraz algorytmów przetwarzania sygnałów stosowanych w przetwornikach iteracyjnych. Zaproponowane rozwiązania mogą być wykorzystywane podczas projektowania nowych iteracyjnych przetworników A/C, które przy danych ograniczeniach technologicznych i założeniach projektowych w sposób bliski optymalnemu wykorzystują swoje wewnętrzne zasoby układowe. Opracowane metody optymalizacji algorytmów przetwarzania A/C wywodzą się z koncepcji optymalnej adaptacyjnej estymacji i statystycznie dopasowanej obserwacji sygnałów. Poniżej przedstawiłem podstawowe założenia tej koncepcji. Następnie krótko opisałem przebieg i główne rezultaty prowadzonych przeze mnie badań nad iteracyjnymi przetwornikami A/C.

Koncepcja optymalnej adaptacyjnej estymacji i obserwacji sygnałów

Od początku pracy naukowo-badawczej głównym obszarem moich zainteresowań były metody optymalizacji adaptacyjnych systemów przetwarzania sygnałów. W odróżnieniu od klasycznych metod optymalizacji systemów adaptacyjnych, w których przyjmuje się liniowy model układu obserwacji, przedmiotem moich badań były adaptacyjne algorytmy przetwarzania sygnałów, wywodzące się z koncepcji optymalnej adaptacyjnej estymacji i statystycznie dopasowanej obserwacji sygnałów (dalej w skrócie nazywanej koncepcją optymalnej adaptacyjnej estymacji i obserwacji sygnałów), opracowanej przez dr. hab. inż. A.A. Płatonowa, prof. nzw. PW [Płatonow1994, Płatonow2006].

Jednym z kluczowych założeń koncepcji optymalnej adaptacyjnej estymacji i obserwacji sygnałów jest przyjęcie modelu adaptacyjnie dostrajanego układu obserwacji, w którym liniowy zakres przetwarzania jest ograniczony. Model ten odpowiada rzeczywistym układom i systemom przetwarzania sygnałów oraz pozwala adekwatnie uwzględnić efekty spowodowane ewentualnym nasyceniem, co jest niemożliwie przy wykorzystaniu powszechnie stosowanych liniowych modeli układu obserwacji. W koncepcji optymalnej adaptacyjnej estymacji i obserwacji sygnałów zakłada się, że układ obserwacji jest typu kompensacyjnego oraz że możliwe jest dostrajanie jego wzmocnienia w trakcie przetwarzania sygnału. W ramach tej koncepcji optymalizację systemu estymacji i obserwacji sygnałów przeprowadza się metodami bayesowskimi minimalizując błąd średniokwadratowy estymat (ang. *Mean Square Error* – MSE). Szczególną cechą sformułowania i rozwiązania zagadnienia optymalizacyjnego jest wprowadzenie dodatkowego warunku na maksymalne prawdopodobieństwo wystąpienia ewentualnego nasycenia przy dostrajaniu układu obserwacji [Płatonow1994, Płatonow2006]. Wprowadzenie warunku na maksymalne

prawdopodobieństwo wystąpienia nasycenia stwarza możliwość wyprowadzenia optymalnych algorytmów estymacji parametrów lub wartości sygnałów i dostrajania układu obserwacji przy danym prawdopodobieństwie zachowania liniowego trybu obserwacji. Klasyczne rozwiązanie zagadnienia optymalizacji adaptacyjnych systemów estymacji z dostrajaniem układem obserwacji, przedstawione przez prof. A.A. Płatonowa w pracy [Płatonow1994], otrzymano przy założeniu, że przetwarzane sygnały, szумы na wejściu systemu oraz szумы układu obserwacji mają rozkłady normalne.

Algorytmom optymalnej detekcji sygnałów i estymacji ich parametrów przy adaptacyjnym dostrajaniu układu obserwacji, wywodzącym się z koncepcji optymalnej adaptacyjnej estymacji i obserwacji sygnałów, była poświęcona moja praca magisterska [Jedr1995]. Dalsze badania prowadzone przeze mnie w tej tematyce dotyczyły rozszerzenia koncepcji optymalnej adaptacyjnej estymacji i obserwacji sygnałów na zagadnienia związane z przetwarzaniem sygnałów niestacjonarnych. Wyniki tych badań zostały opisane w mojej rozprawie doktorskiej [Jedr2000].

W latach dziewięćdziesiątych ubiegłego stulecia uczestniczyłem w opracowaniu metodyki wykorzystania koncepcji optymalnej adaptacyjnej estymacji i obserwacji sygnałów do optymalizacji adaptacyjnych systemów pomiarowych. Wyniki tych badań zostały przedstawione w kilku publikacjach, których byłem współautorem, najważniejsze z nich to prace [PłatJedr1996], [PłatSzabJedr1998]. W trakcie prowadzenia badań w tej tematyce zauważyłem, że ich rezultaty można zaadaptować i zastosować do optymalizacji wieloprzebiegowych (cyklicznych, ang. *multi-pass*) przetworników A/C. Obserwacja ta wraz z aktualnością i znaczeniem problemu poprawy jakości konwersji w przetwornikach A/C skłoniły mnie do zainicjowania nowego kierunku badań – optymalizacji iteracyjnych przetworników A/C. Zaproponowane przeze mnie nowatorskie podejście do optymalizacji przetworników iteracyjnych jest oparte na wykorzystaniu metod analogicznych do stosowanych w teorii optymalnej estymacji, do optymalizacji algorytmów konwersji analogowo-cyfrowej wykorzystywanych w tych przetwornikach.

Adaptacyjne cykliczne przetworniki analogowo-cyfrowe

Po uzyskaniu stopnia doktora, na przełomie 2000 i 2001 roku, jako pierwszy przeprowadziłem wstępne badania dotyczące możliwości wykorzystania koncepcji optymalnej adaptacyjnej estymacji i obserwacji sygnałów do optymalizacji cyklicznych przetworników A/C. Wybór tej klasy przetworników został podyktowany następującymi przesłankami:

- W cyklicznych przetwornikach A/C, których architektura i zasada działania jest wykorzystywana w niektórych obecnie produkowanych przetwornikach, konwersja próbek sygnału wejściowego odbywa się w sposób iteracyjny, w kilku cyklach. W każdym cyklu konwersji formowany jest sygnał różnicowy (błędu), będący różnicą między wartością przetwarzanej próbki a jej estymatą wyznaczoną w części cyfrowej przetwornika w poprzednim cyklu i przekształconą w sygnał analogowy za pomocą wewnętrznego przetwornika cyfrowo-analogowego (C/A). Sygnał różnicowy jest wzmacniany, a następnie kwantowany za pomocą zgrubnego wewnętrznego przetwornika A/C o małej liczbie bitów w kodzie (słowie) wyjściowym. Kody sygnałów różnicowych

otrzymywane na wyjściu zgrubnego przetwornika A/C (tzw. sub-kody) są wykorzystywane w cyfrowej części przetwornika do wyznaczenia kodów (estymat) wartości próbki w kolejnych cyklach konwersji, a po wykonaniu wszystkich cykli – do obliczenia kodu wyjściowego przetwornika cyklicznego.

- Adaptacyjne algorytmy przetwarzania sygnałów wywodzące się z koncepcji optymalnej adaptacyjnej estymacji i obserwacji sygnałów należą do klasy algorytmów iteracyjnych. Podobnie jak w cyklicznych przetwornikach A/C, bieżące cyfrowe estymaty wartości sygnału i jego parametrów oraz parametry sterowania układem obserwacji są obliczane w każdym cyklu na podstawie bieżących danych dostarczonych przez układ obserwacji oraz wartości estymat obliczonych w poprzednich cyklach.
- Iteracyjny sposób konwersji próbek w cyklicznych przetwornikach A/C, podobny do sposobu przetwarzania sygnałów w systemach adaptacyjnych rozpatrywanych w koncepcji optymalnej adaptacyjnej estymacji i obserwacji sygnałów, pozwala na skonstruowanie matematycznego modelu pracy przetwornika i wprowadzenie kryterium jakości konwersji. W prowadzonych badaniach, jako podstawowe kryterium przyjmowano błąd średniokwadratowy (MSE) konwersji, a także logarytmicznie związaną z MSE i bardziej wygodną w zastosowaniu do analizy przetworników A/C miarę jakości konwersji – efektywną liczbę bitów (ang. *Effective Number Of Bits* – ENOB [Standard2011]). Optymalizacja pracy adaptacyjnego przetwornika cyklicznego polega na określeniu najbardziej efektywnego algorytmu obliczania kodu wyjściowego przetwornika na podstawie sub-kodów pochodzących z układu obserwacji oraz adaptacyjnego dostrajania układu obserwacji, minimalizującego w każdym cyklu konwersji błąd średniokwadratowy bieżących estymat (kodów) próbki lub maksymalizującego odpowiednie wartości efektywnej liczby bitów. W przypadku przetwornika cyklicznego, układ obserwacji składa się z układu odejmującego, wzmacniacza sygnału różnicowego oraz zgrubnego wewnętrznego przetwornika A/C.

Pierwsze wyniki przeprowadzonych przeze mnie badań potwierdziły możliwość (a także potencjał) wykorzystania adaptacyjnych algorytmów wywodzących się z koncepcji optymalnej adaptacyjnej estymacji i obserwacji sygnałów w cyklicznych przetwornikach A/C. Prace te rozpoczęły wieloletni cykl badań prowadzonych w zespole kierowanym przez prof. A.A. Płatonowa w Zakładzie Teorii Obwodów i Sygnałów Instytutu Systemów Elektronicznych Politechniki Warszawskiej (PW). Efektem wstępnych prac dotyczących tej problematyki były pierwsze publikacje na ten temat, tj. referaty [16], [17], artykuł [1], a także patent [34]. Generalnym celem tego etapu prac było opracowanie podstaw funkcjonowania, analizy i optymalizacji nowej klasy adaptacyjnych cyklicznych (wieloprzebiegowych) przetworników A/C, wykorzystujących zaawansowane cyfrowe algorytmy obliczania kodów wyjściowych.

Podstawą nowego podejścia do optymalizacji adaptacyjnych cyklicznych przetworników A/C, które rozwijałem, była zmiana metody formowania kodów wyjściowych przetwornika, stosowanej w klasycznych przetwornikach cyklicznych. Metoda stosowana w klasycznych przetwornikach cyklicznych polega na łączeniu („sklejaniu”) kolejnych sub-kodów sygnałów różnicowych otrzymywanych w poszczególnych cyklach na wyjściu zgrubnego wewnętrznego przetwornika A/C. Wykonująca te operacje część cyfrowa klasycznego

przetwornika cyklicznego składa się z prostych elementów logicznych realizujących w każdym cyklu dodawanie do obliczonego w poprzednim cyklu krótszego kodu (słowa), jednego lub kilku bitów odbieranych z wyjścia zgrubnego wewnętrznego przetwornika A/C. Według zaproponowanego nowego podejścia do optymalizacji adaptacyjnych cyklicznych przetworników A/C, operacje te zastępuje się przez cyfrowe obliczanie kodów wyjściowych za pomocą iteracyjnego algorytmu przetwarzania sygnałów przy odpowiednio zmienionym sposobie dostrajania wzmocnienia sygnału różnicowego. Jednak zastosowanie takiego podejścia stawia wymóg zmiany architektury części cyfrowej cyklicznych przetworników A/C. W proponowanych przetwornikach część cyfrowa jest realizowana jako cyfrowy blok obliczania i zapamiętywania (na jeden cykl) bieżącej estymaty próbki. Zmiana sposobu formowania kodów próbek ma charakter zasadniczy.

Cykliczne przetworniki A/C są układami o mieszanym (analogowo-cyfrowym) typie przetwarzania sygnałów. W przypadku klasycznych cyklicznych przetworników A/C nie pozwala to na konstruktywne opisanie procesu odwzorowania wartości analogowej próbki wejściowej w kod wyjściowy przetwornika za pomocą modeli matematycznych przy użyciu zmiennych ciągłych, co uniemożliwia sformułowanie kryterium optymalności w formie pozwalającej na dalszą optymalizację metodami analitycznymi. Jest to główna przyczyna braku metod optymalizacji algorytmów konwersji w znanych przetwornikach cyklicznych, jak również innych iteracyjnych przetwornikach A/C, w szczególności przetwornikach potokowych (wielostopniowych, ang. *pipeline*).

Z drugiej strony, w przetwornikach iteracyjnych istnieje możliwość wystąpienia nasycenia wewnętrznych zgrubnych przetworników A/C w związku z niedoskonałościami ich analogowych komponentów. W celu uniknięcia błędów grubych spowodowanych nasyceniem wewnętrznych przetworników wprowadza się bity nadmiarowe (redundantne). Najczęściej jest to jeden bit nadmiarowy w jednym cyklu. Wówczas najbardziej znaczący bit (MSB) sub-kodu otrzymanego w kolejnym cyklu konwersji zastępuje najmniej znaczący bit (LSB) sub-kodu uzyskanego w poprzednim cyklu. Jednocześnie wartości wzmocnienia sygnału różnicowego są odpowiednio zmniejszane, aby nie dopuścić do nasycenia w kolejnym cyklu konwersji [Kester2004, Maloberti2007]. W przypadku klasycznych przetworników iteracyjnych wartości wzmocnienia sygnału różnicowego mogą być tylko całkowitymi potęgami dwójki, co wynika ze sposobu formowania („sklejania”) kodów wyjściowych na podstawie sub-kodów. Wprowadzenie jednego bitu nadmiarowego wiąże się zatem z koniecznością dwukrotnego zmniejszenia wzmocnienia sygnału różnicowego, co z kolei powoduje niepełne wykorzystanie zakresu wejściowego zgrubnego przetwornika A/C w kolejnym cyklu. Opisany sposób konwersji zapewnia eliminację nasycenia zgrubnego wewnętrznego przetwornika A/C i powstania błędów grubych konwersji, jednak kosztem niepełnego i nieoptymalnego wykorzystania wewnętrznych komponentów iteracyjnego przetwornika A/C, a jakakolwiek istotna poprawa jakości konwersji w ramach klasycznej architektury przetworników iteracyjnych jest niemożliwa.

Przeprowadzenie optymalizacji algorytmów konwersji w przetwornikach iteracyjnych staje się możliwe po zmianie ich architektury przez wprowadzenie cyfrowego bloku obliczania kodów (estymat) próbek zapisywanych w postaci binarnych słów o stałej długości, która jest o kilka bitów większa niż wymagana rozdzielczość przetwornika. Zamiana sposobu

wyznaczania kodów próbek na ich obliczanie za pomocą cyfrowego bloku obliczeniowego pozwala na opisanie, z wystarczającą dokładnością, procesu konwersji za pomocą zmiennych ciągłych, wprowadzenie kryterium jakości konwersji (MSE lub ENOB) i zastosowanie algorytmów wywodzących się z koncepcji optymalnej adaptacyjnej estymacji i obserwacji sygnałów. Jednocześnie usunięte zostaje opisane powyżej ograniczenie na wartości wzmocnienia sygnału różnicowego (tylko całkowite potęgi dwójki), co umożliwia zwiększenie wzmocnienia do maksymalnych wartości gwarantujących utrzymanie założonego poziomu prawdopodobieństwa niewystąpienia nasycenia zgrubnego wewnętrznego przetwornika A/C. W połączeniu z optymalnym algorytmem obliczania estymat w części cyfrowej umożliwia to poprawę jakości konwersji (zmniejszenie błędu średniokwadratowego konwersji lub równoważnie zwiększenie efektywnej liczby bitów przetwornika) do maksymalnej wartości, teoretycznie osiągalnej przy danym poziomie szumów i zakłóceń oraz danym poziomie błędów komponentów przetworników, uzyskiwanym w danej technologii produkcji układów scalonych. Takie podejście pozwala na osiągnięcie przez proponowane przetworniki cykliczne efektywnej liczby bitów, większej niż możliwa do uzyskania w klasycznych przetwornikach cyklicznych o identycznych architekturach ich części analogowych.

Kolejne lata (2002-2005) badań nad optymalizacją adaptacyjnych cyklicznych przetworników A/C poświęciłem na modelowanie i wszechstronne przebadanie różnorodnych czynników mających wpływ na parametry zaproponowanych przetworników, a także na uwzględnienie tych czynników w celu poprawy jakości konwersji. Szczególną uwagę poświęciłem badaniom dotyczącym wpływu niedoskonałości komponentów przetworników na jakość konwersji mierzoną jako efektywna liczba bitów przetwornika (ENOB) lub stosunek mocy sygnału do mocy szumów i zakłóceń (ang. *Signal to Noise And Distortion ratio* – SINAD). Otrzymane przeze mnie wyniki zostały wykorzystane do opracowania nowych algorytmów konwersji, efektywniejszych w stosunku do pierwotnych algorytmów pochodzących z koncepcji optymalnej adaptacyjnej estymacji i obserwacji sygnałów, które uwzględniają uwarunkowania występujące w rzeczywistych przetwornikach, m.in. inne rozkłady szumów występujących w przetwornikach niż rozkład normalny. Uzyskane w ramach tego cyklu badań rezultaty zostały opublikowane w referatach [19], [20], [21], [22], [23] oraz artykułach [2], [3]. Część z tych badań prowadziłem jako główny wykonawca w granie Dziekana Wydziału Elektroniki i Technik Informatycznych PW, realizowanym w latach 2002-2003 w Instytucie Systemów Elektronicznych PW, pt. *Opracowanie metod projektowania i optymalizacji cyklicznych algorytmicznych przetworników A/C*.

Dodawanie szumu (*dithering*) w celu poprawy jakości adaptacyjnych cyklicznych przetworników A/C

Osobnym kierunkiem prac prowadzonych przeze mnie samodzielnie w latach 2003-2006 były badania związane z wykorzystaniem techniki dodawania szumu (ang. *dithering*) w celu poprawy efektywnej liczby bitów uzyskiwanych w adaptacyjnych cyklicznych przetwornikach A/C. W ramach tych badań wyjaśniłem mechanizm powodujący zanik wzrostu efektywnej liczby bitów przetworników w kolejnych cyklach konwersji, występujący po osiągnięciu określonego poziomu efektywnej liczby bitów oraz opracowałem rozwiązanie

tego problemu oparte na zastosowaniu addytywnego losowego szumu dodawanego do wyjścia wewnętrznego przetwornika cyfrowo-analogowego (C/A) znajdującego się w pętli sprzężenia zwrotnego adaptacyjnego przetwornika cyklicznego. Zastosowanie tego rozwiązania pozwala na przywrócenie wzrostu efektywnej liczby bitów w kolejnych cyklach konwersji oraz zwiększenie efektywnej liczby bitów przetwornika w stosunku do standardowego adaptacyjnego przetwornika cyklicznego. Wyniki dotyczące tego kierunku badań przedstawiono w referatach [18], [24] oraz artykule [4].

Zaprojektowanie i przebadanie prototypu adaptacyjnego cyklicznego przetwornika A/C

W kolejnych latach (2005-2008) byłem głównym wykonawcą w projekcie badawczym finansowanym przez Ministerstwo Nauki i Szkolnictwa Wyższego pt. *Opracowanie teorii, metod projektowania, analizy i testowania inteligentnych przetworników A/C*. W ramach tego projektu brałem aktywny udział we wszystkich jego etapach, począwszy od wstępnych prac analitycznych, poprzez wszechstronne badania symulacyjne pracy przetworników, aż po zaprojektowanie i eksperymentalną weryfikację prototypu adaptacyjnego cyklicznego przetwornika A/C, który został zrealizowany w postaci układu scalonego w technologii CMOS 0,35 μm . Szczególnie istotny udział miałem w opracowaniu koncepcji i architektury układu scalonego oraz algorytmów konwersji zaimplementowanych w nim, jak również w opracowaniu metodyki pomiarów przetwornika, zaprojektowaniu i oprogramowaniu stanowiska pomiarowego oraz w samym procesie pomiarów przetwornika. Projekt schematu elektrycznego i topografii układu scalonego zostały wykonane przez specjalistów z Instytutu Mikroelektroniki i Optoelektroniki PW. Wyniki prac dotyczących projektowania i przebadania prototypu adaptacyjnego przetwornika A/C przedstawiono w referacie [26], artykule [10] oraz załączniku merytorycznym do sprawozdania z projektu badawczego [36]. Współpraca z Instytutem Mikroelektroniki i Optoelektroniki PW w tematyce adaptacyjnych przetworników A/C jest kontynuowana do dnia dzisiejszego, a jej rezultatem jest również kilka prac dyplomowych powstałych w tym Instytucie, które dotyczyły wybranych zagadnień praktycznej implementacji adaptacyjnych przetworników A/C. W trakcie dalszej współpracy planowane jest opracowanie i wykonanie bardziej zaawansowanych prototypów adaptacyjnych przetworników A/C w ramach rozpoczynającego się projektu *THINGS2DO – THIN but Great Silicon 2 Design Objects* realizowanego jako część europejskiego programu *ENIAC JU*, w którym bierze udział Instytut Mikroelektroniki i Optoelektroniki PW.

Adaptacyjne potokowe przetworniki A/C

W roku 2007 rozpocząłem nowy, prowadzony samodzielnie, kierunek badań dotyczący opracowania potokowych (kaskadowych) wersji adaptacyjnych przetworników A/C. Zaproponowane przeze mnie potokowe wersje przetworników, które wykorzystują algorytmy konwersji wywodzące się z koncepcji optymalnej adaptacyjnej estymacji i obserwacji sygnałów, pozwalają na osiągnięcie kilkukrotnie większych częstotliwości próbkowania w stosunku do wcześniej rozpatrywanych przetworników cyklicznych. Wyniki badań nad przetwornikami potokowymi przedstawiłem w materiałach konferencyjnych [25], [27] oraz artykułach [6], [9]. Owocem tych prac był również opracowany przeze mnie wspólnie z prof. A.A. Płatonowem patent [35]. W trakcie prac nad tą tematyką w latach 2008-2009

byłem głównym wykonawcą grantu integracyjnego Dziekana Wydziału Elektroniki i Technik Informacyjnych PW, realizowanego wspólnie przez Instytut Systemów Elektronicznych i Instytut Mikroelektroniki i Optoelektroniki PW, pt. *Opracowanie i analiza komputerowa szczegółowego modelu szybkiego inteligentnego kaskadowego przetwornika A/C i jego podstawowych komponentów*. W ramach prac prowadzonych w tym granicie opracowałem pakiet oprogramowania IP_ADC TOOLBOX przeznaczony do wszechstronnej analizy symulacyjnej pracy adaptacyjnych kaskadowych (potokowych) przetworników A/C [37].

Zastosowanie wielowymiarowych algorytmów estymacji w adaptacyjnych cyklicznych przetwornikach A/C

W roku 2009 rozpocząłem kolejny oryginalny, prowadzony samodzielnie, kierunek badań nad zastosowaniem w cyklicznych przetwornikach A/C wielowymiarowych algorytmów estymacji parametrów sygnałów do tłumienia zakłóceń mogących występować wewnątrz analogowych komponentów przetwornika, np. dryfów napięć w części analogowej przetwornika, jak również zakłóceń zewnętrznych, np. zewnętrznych zakłóceń harmonicznych. Kluczową ideą zaproponowanej metody tłumienia zakłóceń jest zastosowanie wielowymiarowego adaptacyjnego algorytmu estymacji parametrów sygnału do jednoczesnej estymacji wartości konwertowanej próbki oraz parametrów zakłócenia, co zapewnia możliwość redukcji wpływu zakłócenia na jakość przetwarzania A/C.

Jednym z praktycznych zastosowań, które zaproponowałem dla tej metody, jest eliminacja błędów związanych z dryfami napięcia wyjściowego układów próbkująco-pamiętających (ang. *sample & hold*) w adaptacyjnych cyklicznych przetwornikach A/C. W przetwornikach tych jakość konwersji próbek zależy bezpośrednio od stabilności napięcia na wyjściu układu próbkująco-pamiętającego utrzymywanego przez kilka cykli przetwarzania potrzebnych do konwersji pojedynczej próbki. Zmiany napięcia na wyjściu układu próbkująco-pamiętającego, spowodowane prądami upływu kondensatora pamiętającego, są nazywane „zwisem” (ang. *droop*) napięcia wyjściowego układu próbkująco-pamiętającego. Wpływ tego zjawiska może być oczywiście zredukowany przez zwiększenie pojemności kondensatora pamiętającego, jednak powoduje to konieczność zwiększenia czasu akwizycji i zmniejsza pasmo układu, zmniejszając możliwą do uzyskania częstotliwość próbkowania przetwornika. Istnieje wiele układowych technik stabilizacji napięć na wyjściu układów próbkująco-pamiętających, jednak pociągają one za sobą wzrost złożoności tych układów, a co za tym idzie zwiększenie wymiarów, energochłonności i kosztów produkcji.

Zagadnienie redukcji wpływu zakłóceń w przetwornikach A/C nabiera szczególnego znaczenia w przypadku przetworników wytwarzanych we współczesnych nanometrowych procesach technologicznych, optymalizowanych do wytwarzania wysokowydajnych systemów cyfrowych o niskim poborze mocy i małych wymiarach charakterystycznych tranzystorów [Murmman2008, Lewyn2009], w których ubocznym skutkiem jest pogorszenie parametrów elementów analogowych. Opracowana przeze mnie metoda cyfrowej kompensacji dryfów układów próbkująco-pamiętających radykalnie upraszcza rozwiązanie problemów związanych z dryfami, a jej zastosowanie pozwala istotnie obniżyć wymagania stawiane układom próbkująco-pamiętającym bez pogorszenia jakości konwersji i w konsekwencji uprościć konstrukcję przetworników oraz obniżyć koszty produkcji.

Wyniki prac w tej tematyce zostały przedstawione w referatach [29], [30] oraz artykułach [7], [11], [12]. Przedstawiony przeze mnie na konferencji *15th International Workshop on ADC Modelling and Testing* referat [29], dotyczący tej problematyki, został wyróżniony jako jeden z najlepszych referatów w dziedzinie przetwarzania A/C [Michaeli2012].

Nowe zmodyfikowane wersje adaptacyjnych przetworników A/C

W kolejnych latach (2011-2013) prowadziłem prace naukowo-badawcze dotyczące opracowania nowych wariantów adaptacyjnych przetworników A/C zarówno cyklicznych, jak i potokowych, które charakteryzują się uproszczoną strukturą wewnętrzną w stosunku do wcześniej rozpatrywanych wersji przetworników adaptacyjnych, jednocześnie zachowujących ich kluczowe zalety. Rezultatem tych prac było opracowanie nowej koncepcji formowania i przetwarzania sygnałów różnicowych w adaptacyjnych przetwornikach A/C, umożliwiającej zastosowanie wewnętrznych przetworników C/A o tej samej rozdzielczości, co rozdzielczość zgrubnych wewnętrznych przetworników A/C, tj. do kilku razy niższej niż pierwotnie. Opracowano nowe struktury przetworników wraz z nowymi algorytmami obliczania kodów wyjściowych przetwornika oraz wartości wzmocnień sygnałów różnicowych w kolejnych iteracjach. Oprócz zastosowania wewnętrznych przetworników C/A o zdecydowanie niższej rozdzielczości niż stosowane w poprzednich wersjach przetworników adaptacyjnych, wprowadzenie nowej zasady przetwarzania pozwala na znaczące zmniejszenie wartości wzmocnień wzmacniaczy sygnałów różnicowych. Na podkreślenie zasługuje również fakt, że w przypadku zmodyfikowanych przetworników ich części analogowe są niemal identyczne jak w przetwornikach aktualnie produkowanych, a różnica sprowadza się do zastosowania innego algorytmu konstruowania kodów wyjściowych oraz innych, większych w stosunku do stosowanych w klasycznych przetwornikach, wartości wzmocnień sygnałów różnicowych.

W pierwszej fazie badań nad nowymi zmodyfikowanymi wersjami przetworników, których wyniki przedstawiono w referacie [31] oraz artykułach [13], [14], opracowano algorytmy konwersji przy założeniu, że wewnętrzne szумы analogowe występujące w przetworniku mają rozkłady normalne. W kolejnych publikacjach – referaty [32], [33] i artykuł [15], zaproponowano inne podejście do optymalizacji algorytmów konwersji, w którym dla poszczególnych komponentów przetwornika rozpatrywane są analogowe szумы lub zakłócenia wynikające z błędów lub ograniczeń technologicznych, przy założeniu, że szумы lub zakłócenia przyjmują wartości z pewnego ograniczonego przedziału.

Opracowane zmodyfikowane wersje przetworników adaptacyjnych charakteryzują się znacznym uproszczeniem konstrukcji wzmacniaczy sygnałów różnicowych i wewnętrznych przetworników C/A, co umożliwia redukcję rozmiarów, energochłonności i kosztów produkcji przetworników w stosunku do wcześniej rozpatrywanych standardowych przetworników adaptacyjnych. Ponadto w publikacjach [14] i [31] pokazano, że w nowych zmodyfikowanych wersjach adaptacyjnych przetworników cyklicznych nie występuje charakterystyczne dla standardowych przetworników cyklicznych ograniczenie efektywnej liczby bitów przetwornika, która nie może być większa od sumy rozdzielczości zgrubnego wewnętrznego przetwornika A/C i rozdzielczości wewnętrznego przetwornika C/A występującego w pętli sprzężenia zwrotnego.

Tematyka adaptacyjnych przetworników A/C w Zespole Adaptacyjnych Systemów Przetwarzania Informacji

Jak już wcześniej wspomniano, zainicjowana przeze mnie tematyka adaptacyjnych przetworników A/C, wywodzących się z koncepcji optymalnej adaptacyjnej estymacji i obserwacji sygnałów, była jednym z wiodących nurtów badań prowadzonych w Zespole Adaptacyjnych Systemów Przetwarzania Informacji kierowanym przez prof. A.A. Płatonowa. Pewne aspekty dotyczące adaptacyjnych cyklicznych przetworników A/C były między innymi przedmiotem jednej pracy magisterskiej oraz dwóch rozpraw doktorskich zrealizowanych pod kierownictwem naukowym prof. A.A. Płatonowa w Instytucie Systemów Elektronicznych PW. Pierwsza z rozpraw autorstwa J. Jasnośa (promotor: prof. dr hab. inż. J. Szabatyn) była poświęcona optymalizacji parametrów adaptacyjnych cyklicznych przetworników A/C przy praktycznej realizacji przetworników. Tematem drugiej rozprawy, której autorem jest Ł. Małkiewicz (promotor: dr hab. inż. A.A. Płatonow, prof. nzw. PW), były metody oceny i poprawy charakterystyk adaptacyjnych cyklicznych przetworników A/C. W przypadku obu rozpraw pełniłem istotną funkcję pomocniczą w badaniach prowadzonych przez wyżej wymienionych doktorantów. W szczególności pomagałem w rozwiązywaniu problemów dotyczących funkcjonowania, modelowania i symulacji pracy przetworników, w analizie wyników badań symulacyjnych, projektowaniu i prowadzeniu eksperymentów dotyczących prototypów adaptacyjnych cyklicznych przetworników A/C, a także innych aspektów prowadzonych badań. Współpraca z wyżej wymienionymi doktorantami znalazła swoje odzwierciedlenie w kilkunastu wspólnych publikacjach. W latach 2006-2008 brałem także aktywny udział w badaniach nad opracowaniem nowej, zaproponowanej przez prof. A.A. Płatonowa, oryginalnej metody pomiaru efektywnej liczby bitów przetwornika, opartej na wyznaczeniu tzw. pierwszego błędnego bitu w kodzie wyjściowym przetwornika (FEB – ang. *First Erroneous Bit*), która została przedstawiona w publikacjach [5], [28]. Oprócz tego, tematyka adaptacyjnych cyklicznych przetworników A/C była przedmiotem dwóch prac inżynierskich i jednej pracy magisterskiej, zrealizowanych w Instytucie Mikroelektroniki i Optoelektroniki PW, których byłem recenzentem. Prace te były poświęcone wybranym problemom projektowania adaptacyjnych przetworników A/C w postaci układów scalonych.

Podsumowanie

Podsumowując prace, których rezultaty zostały przedstawione w jednotematycznym cyklu publikacji, chciałbym podkreślić oryginalność prowadzonych przeze mnie badań oraz otrzymanych rezultatów. Przeprowadzone przeze mnie badania pozwoliły na opracowanie nowych metod umożliwiających ilościową analizę procesów konwersji zachodzących w zaproponowanych iteracyjnych przetwornikach A/C, przeprowadzenie optymalizacji przetworników oraz opracowanie ścisłych analitycznych metod wsparcia projektowania nowych przetworników. Metody takie nie były dotąd znane.

Ponadto badania te dobrze wpisują się w aktualne tendencje rozwoju dziedziny przetwarzania analogowo-cyfrowego. Wielu specjalistów w tej dziedzinie wskazuje, że aktualnie stosowane klasyczne metody doskonalenia przetworników A/C są praktycznie wyczerpane i dopiero wykorzystanie cyfrowych algorytmów wspierających proces konwersji w tzw. *digitally*

assisted A/D converters może wprowadzić nową jakość w przetwornikach A/C. Jest to szczególnie ważne przy realizacji przetworników w „niesprzyjających” technologiach produkcji układów scalonych, tj. o coraz mniejszych napięciach zasilania i coraz mniejszych wymiarach charakterystycznych tranzystorów. Nowe metody przetwarzania A/C, wykorzystujące podejście adaptacyjne, przyniosą najwięcej korzyści przy projektowaniu przetworników realizowanych w tych technologiach, gdyż występuje w nich większy rozrzut parametrów elementów analogowych oraz wzrasta wpływ wewnętrznych i zewnętrznych zakłóceń na jakość konwersji A/C. Zastosowanie adaptacyjnych algorytmów może zapewnić redukcję wpływu niedoskonałości analogowych komponentów przetwornika na jakość konwersji i w konsekwencji poprawić parametry przetworników.

Z drugiej strony, coraz więcej systemów elektronicznych realizowanych jest w formie mieszanych analogowo-cyfrowych scalonych systemów zintegrowanych (ang. *System-on-Chip*, w skrócie SoC), w których przetworniki A/C stanowią interfejs pomiędzy analogową częścią systemu i jego częścią cyfrową, która realizuje większość funkcjonalności danego systemu [Rabeay2006]. W przypadku takich systemów implementacja zaproponowanych przeze mnie adaptacyjnych przetworników A/C sprowadza się do fizycznej realizacji analogowych części przetworników, a obliczenia kodów wyjściowych mogą być wykonywane w cyfrowych częściach tych systemów za pomocą oprogramowania, w którym zaimplementowano opracowane algorytmy konwersji.

Najważniejszymi autorskimi osiągnięciami prowadzonych przeze mnie badań, stanowiącymi istotny wkład w rozwój dziedziny przetwarzania analogowo-cyfrowego, są:

1. Zainicjowanie, a następnie wielokierunkowe rozwinięcie badań dotyczących nowej metody cyklicznej konwersji A/C wraz z opracowaniem koncepcji i architektury nowej klasy adaptacyjnych cyklicznych (wieloprzebiegowych) przetworników A/C o rozdzielczości bliskiej do teoretycznie osiągalnej.
2. Opracowanie matematycznych i symulacyjnych modeli oraz metod analizy adaptacyjnych cyklicznych przetworników A/C, uwzględniających niedoskonałości i ograniczenia występujące w rzeczywistych układach.
3. Zaproponowanie i opracowanie nowej metody poprawy parametrów adaptacyjnych cyklicznych przetworników A/C z wykorzystaniem addytywnych zakłóceń losowych (*dithering*).
4. Zaproponowanie i opracowanie zasad funkcjonowania, architektury i algorytmów przetwarzania nowych potokowych przetworników A/C wykorzystujących adaptacyjne algorytmy obliczania kodów wyjściowych.
5. Zaproponowanie i opracowanie nowej metody poprawy jakości konwersji w iteracyjnych przetwornikach A/C, wykorzystującej wielowymiarowe adaptacyjne algorytmy estymacji parametrów sygnałów i umożliwiającej redukcję wpływu zakłóceń, takich jak np. dryfy lub zakłócenia harmoniczne.
6. Opracowanie uproszczonych architektur cyklicznych i potokowych adaptacyjnych przetworników A/C i odpowiednich oryginalnych algorytmów wyznaczania kodów

wyjściowych, pozwalających na znaczną redukcję złożoności adaptacyjnych przetworników A/C.

Oprócz wyżej wymienionych osiągnięć chciałbym zaznaczyć mój istotny udział w innych wspólnych pracach prowadzonych w Zespole Adaptacyjnych Systemów Przetwarzania Informacji, dotyczących przetworników adaptacyjnych, w szczególności w:

1. opracowaniu koncepcji, zaprojektowaniu i eksperymentalnej weryfikacji prototypu cyklicznego adaptacyjnego przetwornika A/C zrealizowanego w postaci układu scalonego,
2. pracach nad nową metodą pomiaru efektywnej liczby bitów przetworników A/C, bazującą na tzw. pierwszym błędnym bicie w kodzie wyjściowym przetwornika.

Na zakończenie chciałbym podkreślić, że wyniki badań nad adaptacyjnymi przetwornikami A/C były przedstawiane na wielu międzynarodowych konferencjach naukowych w formie recenzowanych referatów, które spotkały się z dużym zainteresowaniem specjalistów w dziedzinie konwersji analogowo-cyfrowej, w szczególności na specjalistycznych konferencjach z cyklu *International Workshop on ADC Modelling and Testing*, organizowanych przez International Measurement Confederation (IMEKO), komitet TC-4 – Measurement of Electrical Quantities, w których wielokrotnie brałem udział. Podobnie recenzenci artykułów, w tym artykułów opublikowanych w renomowanym czasopiśmie *Measurement* wydawanym przez wydawnictwo Elsevier, odnosili się pozytywnie do zaproponowanych nowatorskich koncepcji w zakresie optymalizacji iteracyjnych przetworników A/C, wykorzystujących zaawansowane cyfrowe algorytmy wyznaczania kodów wyjściowych i optymalnego dostrajania wzmocnienia sygnału różnicowego.

Pozycje literaturowe wykorzystane w powyższym omówieniu osiągnięcia

- [Jedr2005] K. Jędrzejewski, *Algorytmy optymalnej detekcji sygnałów i estymacji ich parametrów przy adaptacyjnym sterowaniu odbiornikiem*, Praca magisterska, Politechnika Warszawska, Warszawa, 1995.
- [Jedr2000] K. Jędrzejewski, *Przetwarzanie sygnałów niestacjonarnych z wykorzystaniem koncepcji adaptacyjnej dopasowanej obserwacji*, Rozprawa doktorska, Politechnika Warszawska, Warszawa, 2000.
- [Kester2004] W. Kester, *Analog-Digital Conversion*, Analog Devices Inc., 2004.
- [Lewyn2009] L.L. Lewyn, T. Ytterdal, C. Wulff, K. Martin, “Analog Circuit Design in Nanoscale CMOS Technologies”, *Proceedings of the IEEE*, vol. 97, No. 10, 2009, pp. 1687-1714.
- [Maloberti2007] F. Maloberti, *Data Converters*, Springer, 2007.
- [Michaeli2012] L. Michaeli, J. Seliga, “Instrumentation for the Information and Communication Technology Era”, *Measurement*, vol. 45, No. 2, 2012, pp. 145-147.
- [Murm2008] B. Murmann, “A/D Converter Trends: Power Dissipation, Scaling and Digitally Assisted Architectures”, *Proceedings of IEEE Custom Integrated Circuits Conference (CICC 2008)*, San Jose, USA, 2008, pp. 105-112.

- [PłatJedr1996] A.A. Platonov, K. Jędrzejewski, “Optimal Filtering of Nonstationary Random Processes Using Smart Sensors with Adaptively Controlled Parameters”, *Proceedings of IEEE Instrumentation and Measurement Technology Conference IMTC'96 & IMEKO Technical Committee 7*, Brussels, Belgium, 1996, vol. 1, pp. 480-485.
- [Platonow1994] A.A. Platonov, “Optimal Identification of Regression-type Processes under Adaptively Controlled Observations”, *IEEE Transactions on Signal Processing*, vol. 42, No. 9, 1994, pp. 2280-2291.
- [Platonow2006] A.A. Płatonow, *Analityczne metody projektowania analogowo-cyfrowych adaptacyjnych systemów estymacji*, Oficyna Wydawnicza Politechniki Warszawskiej, seria „Elektronika”, vol. 154, Warszawa, 2006.
- [PłatSzabJedr1998] A.A. Platonov, J. Szabatin, K. Jędrzejewski, “Optimal Synthesis of Smart Measurement Systems with Adaptive Correction of Drifts and Setting Errors of the Sensor's Working Point”, *IEEE Transactions on Instrumentation and Measurement*, vol. 47, No. 3, June 1998, pp. 659-665.
- [Rabaey2006] J.M. Rabaey, F. De Bernardinis, A.M. Niknejad, B. Nikolic, “Embedding Mixed-Signal Design in Systems-on-Chip”, *Proceedings of the IEEE*, vol. 94, No. 6, 2006, pp. 1070-1088.
- [Standard2011] *IEEE Std 1241–2010*, “IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters”, IEEE Inc., 2011.

5. Omówienie pozostałych osiągnięć naukowo-badawczych

Poza jednotematycznym cyklem publikacji dotyczącym adaptacyjnych iteracyjnych przetworników A/C, moje osiągnięcia naukowo-badawcze obejmują także rezultaty badań odnoszących się do ogólnych zagadnień związanych z algorytmami przetwarzania sygnałów wywodzącymi się z koncepcji optymalnej adaptacyjnej estymacji i obserwacji sygnałów. Między innymi zajmowałem się adaptacyjnymi systemami telekomunikacyjnymi ze sprzężeniem zwrotnym. Badania w zakresie adaptacyjnych systemów telekomunikacyjnych ze sprzężeniem zwrotnym są prowadzone przez prof. A.A. Płatonowa od roku 1989 i zostały istotnie zintensyfikowane w ostatnich latach. W moim dorobku znajdują się dwie publikacje poświęcone zagadnieniu analizy wpływu i eliminacji dryfów mogących powstawać w nadajnikach adaptacyjnych systemów telekomunikacyjnych ze sprzężeniem zwrotnym. Do redukcji wpływu dryfów w tych systemach, zaproponowałem zastosowanie wielowymiarowych algorytmów estymacji parametrów sygnałów podobnych do algorytmów, które wykorzystałem do redukcji wpływu dryfów w adaptacyjnych cyklicznych przetwornikach A/C.

We wcześniejszych latach mojej pracy naukowo-badawczej zajmowałem się również przetwarzaniem sygnałów radiolokacyjnych, w szczególności przetwarzaniem sygnałów w radarach z falą ciągłą o modulowanej częstotliwości (ang. *Frequency Modulated Continuous Waveform* – FMCW). Badania w tym zakresie prowadziłem w ramach prac Zespołu Cyfrowych Metod Przetwarzania Sygnałów kierowanego przez dr. hab. inż. A. Wojtkiewicza, prof. nzw. PW. W moim dorobku znajduje się pięć referatów konferencyjnych z tej dziedziny oraz kilka raportów z realizacji projektów, których byłem współautorem.

Uzyskanie wielu z omawianych wyżej wyników nie byłoby możliwe bez pozyskania finansowania na prowadzenie badań. Badania w zakresie adaptacyjnych przetworników A/C były prowadzone w ramach grantów Dziekana Wydziału Elektroniki i Technik Informatycznych oraz projektu badawczego finansowanego przez Ministerstwo Nauki i Szkolnictwa Wyższego, w ramach którego zaprojektowano i przebadano prototyp adaptacyjnego cyklicznego przetwornika A/C zrealizowany w postaci układu scalonego w technologii CMOS. W trakcie prowadzonych prac naukowo-badawczych otrzymałem również pomoc stypendialną ze środków Fundacji na rzecz Nauki Polskiej zostając laureatem konkursu o Stypendium Krajowe dla Młodych Naukowców.

Wyniki moich badań były prezentowane na ponad 20 konferencjach naukowych. W przypadku większości referatów konferencyjnych byłem pierwszym i prezentującym autorem. Szczegółowe zestawienie pozostałych osiągnięć naukowo-badawczych, a także dydaktycznych i organizacyjnych przedstawiono w Załączniku 4a *Wykaz opublikowanych prac naukowych lub twórczych prac zawodowych oraz informacja o osiągnięciach dydaktycznych, współpracy naukowej i popularyzacji nauki*.

